

1A 非同期降圧 PWM レギュレータ

ISL85001

ISL85001 は高性能のシンプルな出力コントローラであり、さまざまなポイント・オブ・ロード・アプリケーションで単一高周波電源ソリューションとして機能します。ISL85001 には、1A 非同期降圧 PWM コントローラとスイッチング MOSFET が内蔵されています。

ISL85001 内の PWM コントローラは、内蔵のスイッチング N チャネル・パワー MOSFET を駆動し、外付けショットキー・ダイオードを利用して 0.6V ~ 19V の出力電圧を生成します。内蔵のパワースイッチは、最大 1A までの出力電流で優れた熱特性を発揮できるように最適化されています。非同期降圧入力電圧の範囲は、5V 固定または 5.5V ~ 25V の可変です。この PWM レギュレータは 500kHz の固定周波数でスイッチングを行い、入力電圧フィードフォワードに対応したシンプルな電圧モード制御を採用しているため、柔軟な部品選択とソリューション・サイズの小型化が可能です。IC には過電流、アンダーボルテージ、熱過負荷などに対する保護機能が組み込まれています。PWM 出力のレギュレーションが失われると、パワーグッド信号出力で通知します。

ISL85001 は小型の 4mm × 3mm デュアル・フラット・ノーリード (DFN) パッケージで供給されます。

関連文書

- アプリケーション・ノート [AN1443](#) 「ISL85001EVAL1Z 1A Regulator Standard Buck PWM」を参照
- テクニカル・ブリーフ [TB417](#) 「Designing Stable Compensation Networks for Single Phase Voltage Mode Buck Regulators」を参照

特長

- スwitching・パワー MOSFET 内蔵の非同期降圧コントローラ
- ブート・ダイオード内蔵
- 入力電圧範囲
 - 固定 5V ± 10%
 - 可変 5.5V ~ 25V
- 最大 1A の連続出力電流で 0.6V ~ 19V に調整可能な PWM 出力電圧
- ± 1% のリファレンス電圧精度
- 電圧フィードフォワードに対応した電圧モード制御
- 500kHz 固定のスイッチング周波数
- 外部で調整可能なソフトスタート時間
- 出力アンダーボルテージ保護
- イネーブル入力
- PGOOD 出力
- 過電流保護
- 熱過負荷保護
- 5V LDO レギュレータ内蔵
- 鉛フリー (RoHS 準拠)

アプリケーション

- 汎用品
- WLAN カード : PCMCIA/Cardbus32/MiniPCI カード、コンパクトフラッシュカード
- 携帯機器
- LCD パネル
- セットトップボックス

アプリケーション回路例

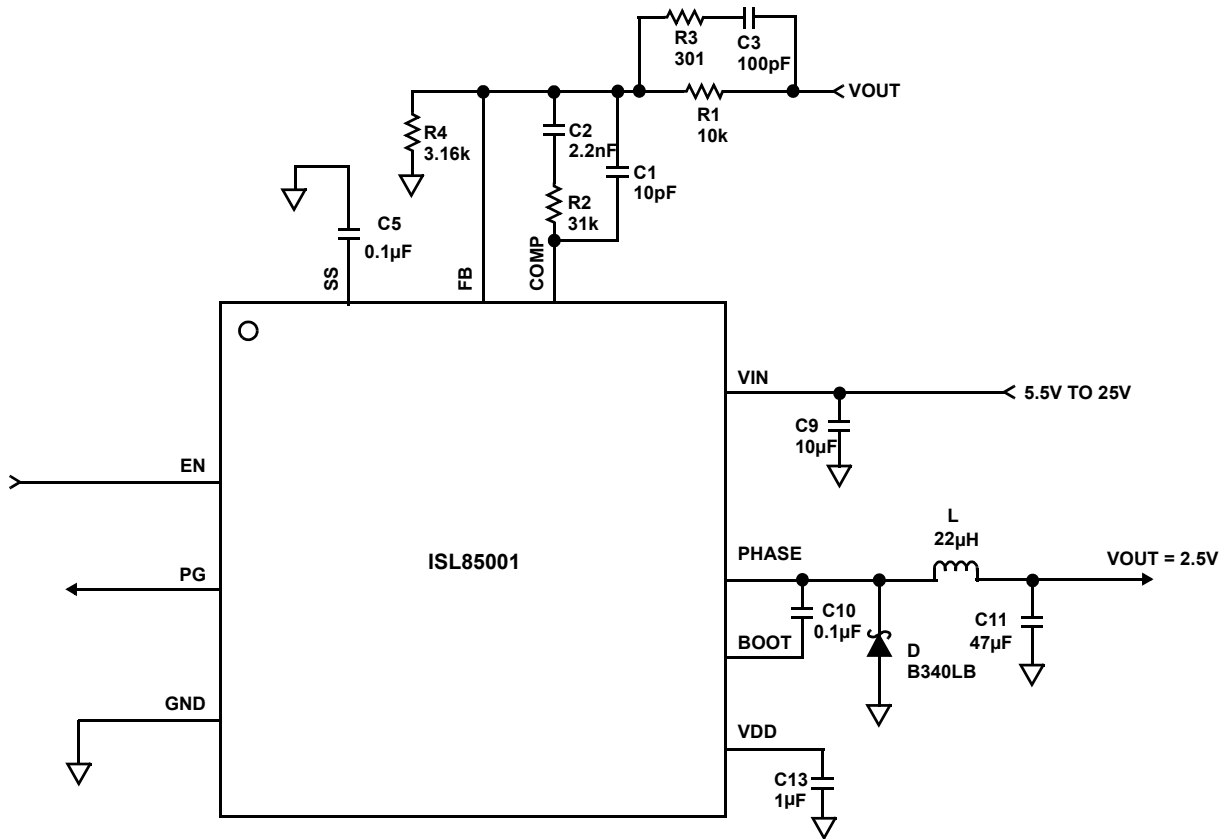
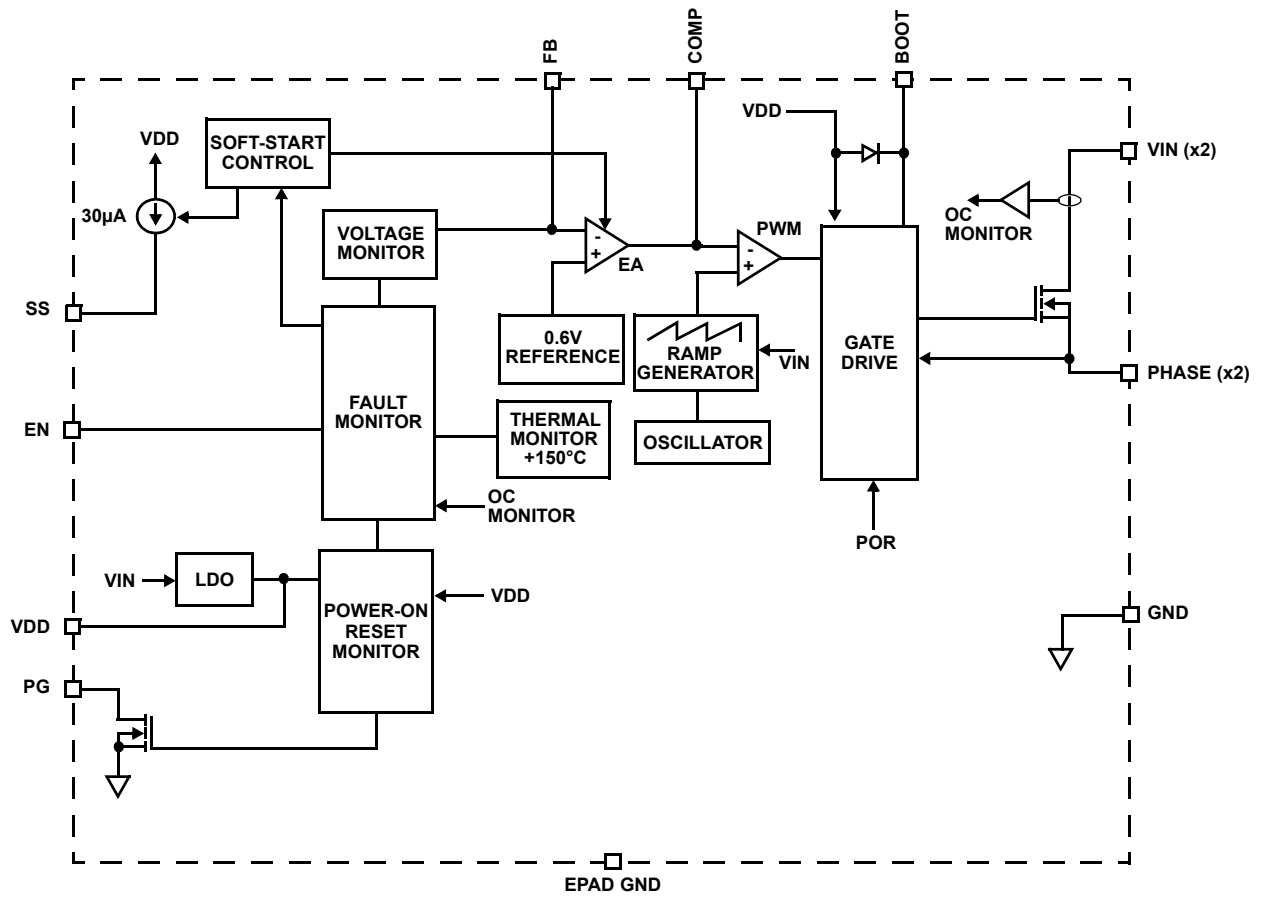


図 1. 5.5V ~ 25V の VIN 範囲

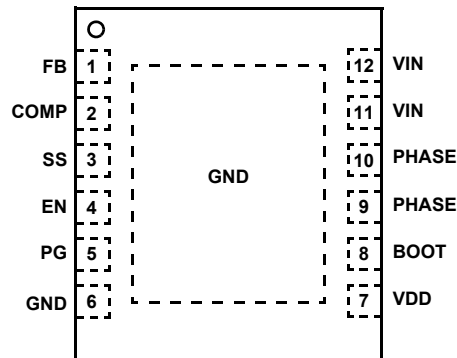
機能ブロック図



ISL85001

ピン配置

ISL85001
(12 LD 4X3 DFN)
TOP VIEW



ピンの説明

名称	ピン番号	説明						
FB、COMP	1、2	この非同期降圧レギュレータでは、単一の電圧制御ループを採用しています。FBは電圧ループ・エラーアンプへの負の入力です。COMPはエラーアンプの出力です。出力電圧は、FBに接続された外付け抵抗分圧回路によって設定されます。抵抗分圧回路を適切に選択すれば、電源レール(コンバータ損失によって減少)と0.6V基準電圧の間の任意の電圧に出力電圧を設定できます。また、COMPとFBにACネットワークを接続すると、アンプに対してループ位相補償を提供できます。PWMレギュレータのパワーグッド/アンダーボルテージ保護回路では、FBを利用してレギュレータの出力電圧をモニタリングします。						
SS	3	ソフトスタート時間のプログラムピン。30 μ Aプルアップ定電流源が、このピンとGNDの間に接続されたコンデンサを充電します。コンバータの出力電圧は、SSピンの上昇電圧に追従します。						
EN	4	PWMコントローラのイネーブル入力。このピンをグラウンドにプルダウンすると、PWMコンバータの出力がオフになります。このピンの電圧が1.7Vを上回ると、チップがイネーブルになります。						
PG	5	PWMコンバータのパワーグッド出力。出力電圧がレギュレーション範囲外になると'L'となるオープン・ドレイン・ロジック出力です。このピンとVDDの間に100k Ω 抵抗を接続してください。降圧レギュレータの出力電圧がそれぞれの公称電圧の10%以内でない場合や、ソフトスタート期間中は、このピンがLowになります。出力がレギュレーション範囲内になると、ハイ・インピーダンスになります。						
GND	6	ICのグラウンド接続やパッケージの放熱に使用します。エキスポーズド・パッドはGNDに接続し、PCBにハンダ付けする必要があります。すべての電圧レベルは、このピンを基準に測定します。						
VDD	7	<p>内蔵の5Vリニアレギュレータの出力がすべての内部制御ロジックに対してバイアスを提供します。ISL85001では、5V(±10%)電源から直接このピンに電力を供給できます。5V電源入力として使用する場合は、このピンを外部でVINに接続する必要があります。VDDピンは必ず、セラミック・バイパス・コンデンサ(1μF以上)を近くに配置して、GNDに対しデカップリングしてください。</p> <p style="text-align: center;">表 1. 入力電源の構成</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>入力</th> <th>ピン配置</th> </tr> </thead> <tbody> <tr> <td>5.5V ~ 25V</td> <td>入力電源をVINピンにのみ接続してください。VDDピンは、内蔵リニアレギュレータから5V出力を供給します。</td> </tr> <tr> <td>5V ± 10%</td> <td>入力電源をVINピンとVDDピンに接続してください。</td> </tr> </tbody> </table>	入力	ピン配置	5.5V ~ 25V	入力電源をVINピンにのみ接続してください。VDDピンは、内蔵リニアレギュレータから5V出力を供給します。	5V ± 10%	入力電源をVINピンとVDDピンに接続してください。
入力	ピン配置							
5.5V ~ 25V	入力電源をVINピンにのみ接続してください。VDDピンは、内蔵リニアレギュレータから5V出力を供給します。							
5V ± 10%	入力電源をVINピンとVDDピンに接続してください。							
BOOT	8	パワーMOSFETゲートドライバ用のフローティング・ブートストラップ電源ピン。ブートストラップ・コンデンサは、内蔵NチャネルMOSFETをターンオンしてその状態を維持するのに必要な充電を行います。このピンとPHASEの間に外付けコンデンサを接続してください。						
PHASE	9、10	内蔵パワーMOSFETのソース、外付け出力インダクタ、外付けダイオードのカソードへのスイッチ・ノード接続。						
VIN	11、12	PWMレギュレータのパワー段用の入力電源と、ICに対してバイアスを提供する内蔵リニアレギュレータ用のソース。デカップリング用のセラミック・コンデンサ(代表値10 μ F)をICの近くに配置し、VINとGNDの間に接続してください。						

注文情報

製品型番 (Note 1、2、3)	マーキング	温度範囲 (°C)	パッケージ (鉛フリー)	パッケージの 外形図
ISL85001IRZ	501Z	-40 ~ +85	12 Ld DFN	L12.4x3

Note :

1. テープ&リールは製品型番の末尾に「-T*」を付加してください。リールの詳細仕様についてはテクニカル・ブリーフ [TB347](#) を参照してください。
2. これら鉛フリーのプラスチック・パッケージ製品には、専用の鉛フリー素材、モールド素材、ダイ・アタッチ素材を採用するとともに、端子には錫 100%の梨地メッキとアニーリングを実施しています (RoHS 指令に準拠するとともに SnPb ハンダ付け作業と鉛フリー・ハンダ付け作業とも互換性のある e3 端子仕上げ)。インターシルの鉛フリー製品は鉛フリー・ピークリフロー温度では MSL 分類に対応し、この仕様は IPC/JEDEC J STD-020 の鉛フリー要件と同等か上回るものです。
3. 吸湿性レベル (MSL) については [ISL85001](#) のデバイス情報ページを参照してください。MSL の詳細についてはテクニカル・ブリーフ [TB363](#) を参照してください。

ISL85001

絶対最大定格

VIN	-0.3V ~ 26V
BOOT ~ GND	-0.3V ~ 33V
BOOT ~ PHASE	-0.03V ~ 6V
VDD, FB, EN, COMP, PG, SS	-0.3V ~ 6V

推奨動作条件

VIN 電源電圧範囲	4.5V ~ 25V
負荷電流範囲	0A ~ 1A
周囲温度範囲	-40 °C ~ +85 °C

温度情報

熱抵抗	θ_{JA} (°C/W)	θ_{JC} (°C/W)
QFN パッケージ (Note 4, 5)	39	3
周囲温度範囲	-40 °C ~ +85 °C	
ジャンクション温度範囲	-40 °C ~ +125 °C	
保存温度範囲	-65 °C ~ +150 °C	
鉛フリー・リフロープロファイル	以下の URL を参照 http://www.intersil.com/pbfree/Pb-FreeReflow.asp	

注意：過度に長い時間にわたって最大定格点または最大定格付近で動作させないでください。そのような動作条件を課すと製品の信頼性に影響が及ぶ恐れがあるとともに、保証の対象とはならない可能性があります。

Note :

- θ_{JA} は、部品を放熱効率の高い「ダイレクト・アタッチ」機能対応の試験基板上に実装した状態で、自由大気中で測定した値です。詳細はテクニカル・ブリーフ [TB379](#) を参照してください。
- θ_{JC} の測定における「ケース温度」位置は、パッケージ下面のエキスポーズド金属パッドの中心です。

電気的特性 代表的な特性は、 $T_A = -40\text{ °C} \sim +85\text{ °C}$ の条件で測定されたものです。

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 8)	TYP	MAX (Note 8)	UNITS
SUPPLY VOLTAGE						
VIN Voltage Range	VIN		5.5	-	25	V
		VIN connected to VDD	4.5	5.0	5.5	V
VIN Operating Supply Current	I _{OP}	(Note 6)	-	2	2.5	mA
VIN Shutdown Supply Current	I _{SD}	V _{IN} = 15V, EN = GND	-	80	100	μA
POWER-ON RESET						
VDD POR Threshold		Rising Edge	4.00	4.15	4.30	V
		Hysteresis	-	275	-	mV
INTERNAL VDD LDO						
VDD Output Voltage Range		V _{IN} = 5.5V to 25V, I _{VDD} = 0mA to 30mA	4.5	5.00	5.5	V
REFERENCE						
Reference Voltage	V _{FB}	V _{IN} = 5.5V to 25V, I _{REF} = 0	0.594	0.6	0.606	V
STANDARD BUCK PWM REGULATOR						
FB Line Regulation		I _{OUT} = 0mA, V _{IN} = 5.5V to 25V	-0.05	-	0.05	%
FB Leakage Current		V _{FB} = 0.6V	-50	0	50	nA
OSCILLATOR AND PWM MODULATOR						
Nominal Switching Frequency	f _{SW}		450	500	550	kHz
Modulator Gain	A _{MOD}	V _{IN} = 12V (A _{MOD} = 8/V _{IN})	0.65	0.75	0.95	V/V
Peak-to-Peak Sawtooth Amplitude	V _{RAMP}	V _{IN} = 12V (V _{P-P} = V _{IN} /8)	-	1.3	-	V
PWM Ramp Offset Voltage	V _{OFFSET}		0.75	0.8	0.85	V
Maximum Duty Cycle	DC _{max}	COMP > 4V	80	-	-	%
ERROR AMPLIFIER						
Open-Loop Gain			-	88	-	dB
Gain Bandwidth Product	GBWP		-	15	-	MHz
Slew Rate	SR	COMP = 10pF	-	5	-	V/μs

ISL85001

電気的特性 代表的な特性は、 $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ の条件で測定されたものです。(続き)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 8)	TYP	MAX (Note 8)	UNITS
ENABLE SECTION						
EN Threshold		Rising Edge	1.2	1.7	2.2	V
		Hysteresis	-	400	-	mV
EN Logic Input Current			-1	-	1	μA
FAULT PROTECTION						
Thermal Shutdown Temperature	T_{SD}	Rising Threshold	-	150	-	$^\circ\text{C}$
	T_{HYS}	Hysteresis	-	15	-	$^\circ\text{C}$
PWM UV Trip Level	V_{UV}	Referred to Nominal V_{OUT}	70	75	80	%
PWM UVP Propagation Delay			-	270	-	ns
PWM OCP Threshold		$V_{IN} = V_{DD} = 5\text{V}$, (Note 7)	1.37	1.7	2.17	A
OCP Blanking Time			-	100	-	ns
POWER-GOOD						
PG Trip Level Referred to Nominal V_{OUT}		Lower Level, Falling Edge, with typically 15mV hysteresis	85	88	91	%
		Upper Level, Rising Edge, with typically 15mV hysteresis	108	112	116	%
PG Propagation Delay			-	9	-	μs
PG Low Voltage		$I_{SINK} = 4\text{mA}$	-	0.05	0.3	V
PG Leakage Current		$V_{PG} = 5.5\text{V}$, $V_{FB} = 0.6\text{V}$, $V_{DD} = 5.5\text{V}$	-1	-	1	μA
SOFT-START SECTION						
Soft-Start Threshold to Enable Buck			0.9	1	1.1	V
Soft-Start Threshold to Enable PG			2.5	3.0	3.5	V
Soft-Start Voltage High			-	3.45	-	V
Soft-Start Charging Current			20	30	40	μA
Soft-Start Pull-down		$V_{SS} = 3.0\text{V}$	-	25	-	mA
POWER MOSFET						
$r_{DS(ON)}$		$I_{OUT} = 100\text{mA}$, Die Resistance	-	120	200	m Ω

Note :

6. テスト条件 : $V_{IN} = 15\text{V}$ 、FB は強制的にレギュレーション・ポイント (0.6V) を超過、スイッチングなし、パワー MOSFET ゲート充電電流は除外。
7. ブランキング時間は除外。
8. 特記のない限り、MIN や MAX のリミット値が記載されたパラメータは、 $+25^\circ\text{C}$ で 100%テストされています。温度のリミット値は特性評価によって定められたものであり、製造時テストは行われていません。

性能特性 特記のない限り動作条件は次のとおりです。 $T_A = +25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $EN = \text{VDD}$ 、 $L = 22\ \mu\text{H}$ 、 $C_9 = 10\ \mu\text{F}$ 、 $C_{11} = 47\ \mu\text{F}$ 、 $I_{OUT} = 0\text{A} \sim 1\text{A}$ 。4ページの「VIN」を参照してください。

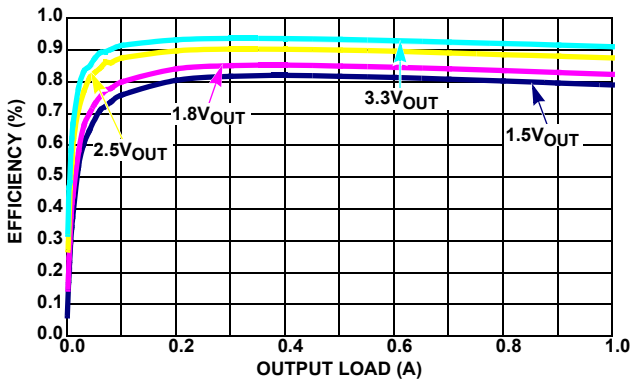


図 2. 効率 vs 負荷、500kHz、5V_{IN}

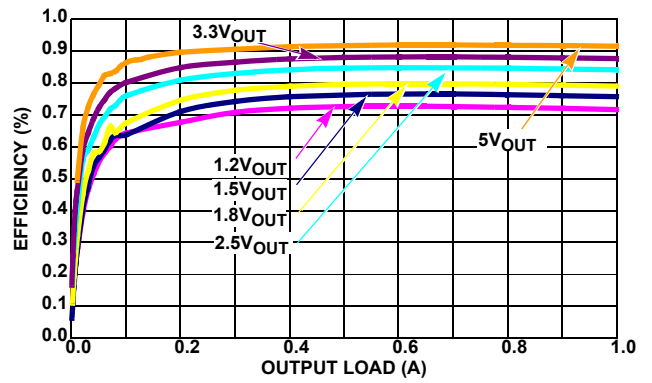


図 3. 効率 vs 負荷、500kHz、12V_{IN}

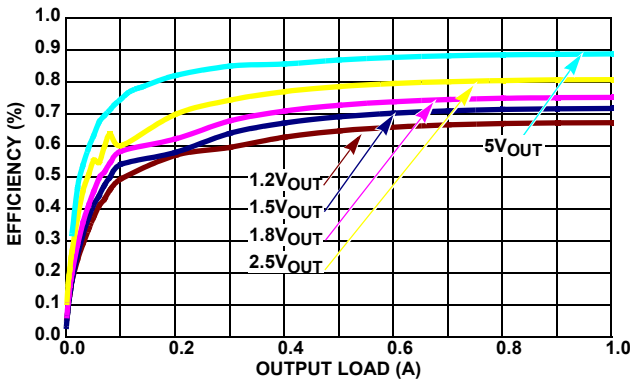


図 4. 効率 vs 負荷、500kHz、25V_{IN}

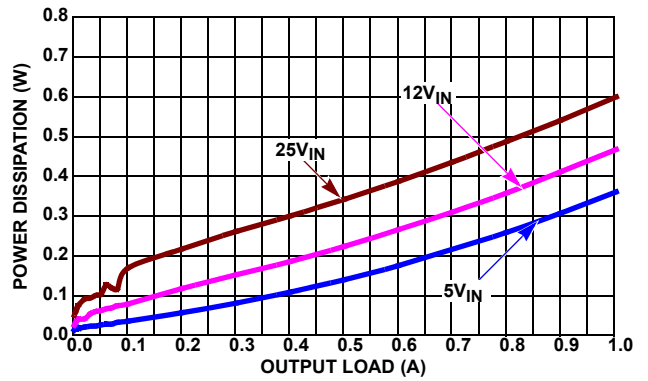


図 5. 消費電力 vs 負荷、500kHz、2.5V_{OUT}

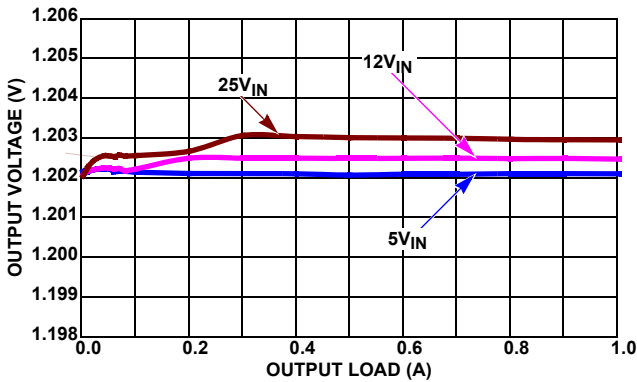


図 6. V_{OUT} レギュレーション vs 負荷、500kHz、1.2V_{OUT}

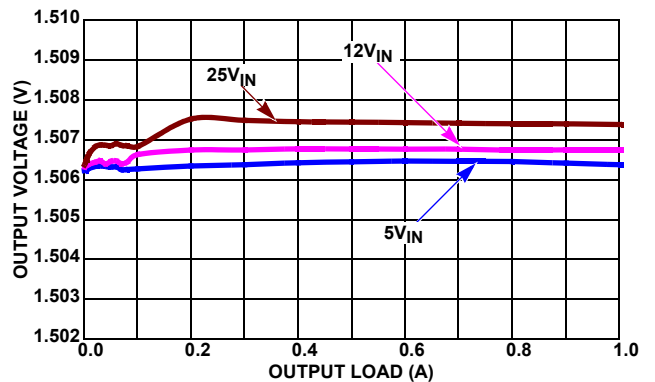


図 7. V_{OUT} レギュレーション vs 負荷、500kHz、1.5V_{OUT}

性能特性 特記のない限り動作条件は次のとおりです。 $T_A = +25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $EN = \text{VDD}$ 、 $L = 22\ \mu\text{H}$ 、 $C_9 = 10\ \mu\text{F}$ 、 $C_{11} = 47\ \mu\text{F}$ 、 $I_{OUT} = 0\text{A} \sim 1\text{A}$ 。4ページの「VIN」を参照してください。(続き)

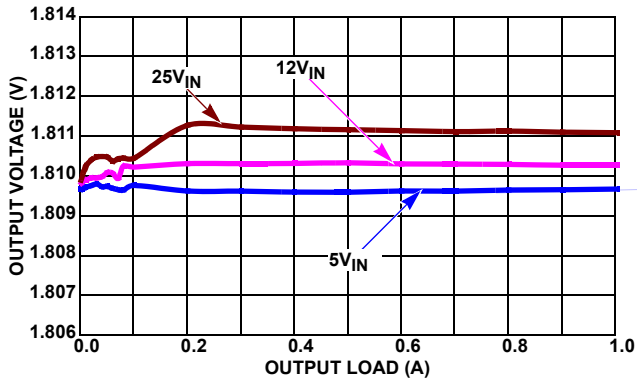


図 8. V_{OUT} レギュレーション vs 負荷、500kHz、 1.8V_{OUT}

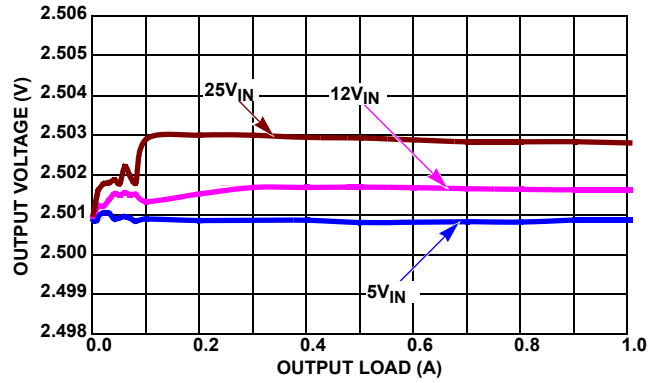


図 9. V_{OUT} レギュレーション vs 負荷、500kHz、 2.5V_{OUT}

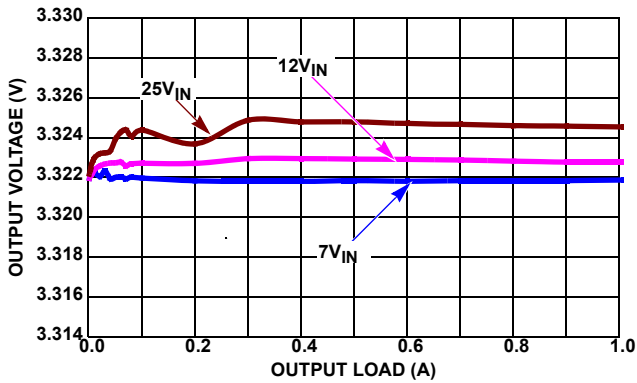


図 10. V_{OUT} レギュレーション vs 負荷、500kHz、 3.3V_{OUT}

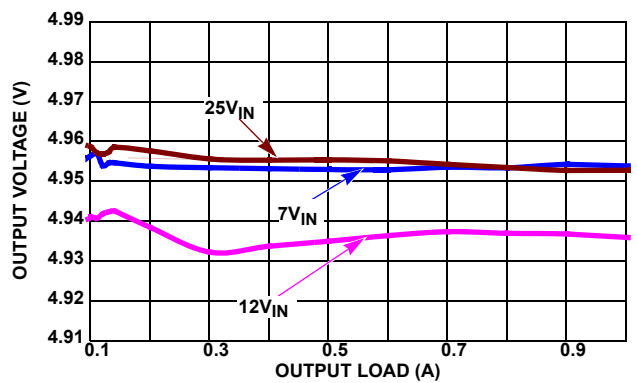


図 11. V_{OUT} レギュレーション vs 負荷、500kHz、 5V_{OUT}

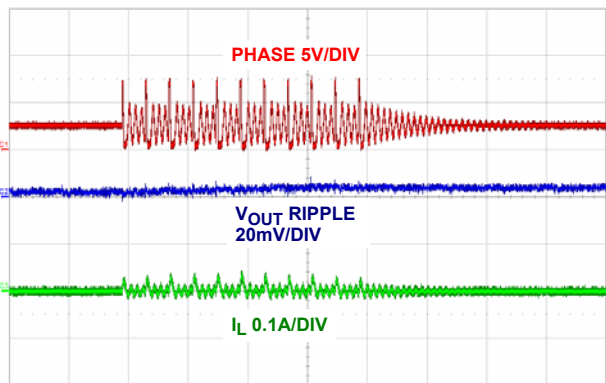


図 12. 無負荷時の定常状態動作 ($5\ \mu\text{s}/\text{DIV}$)

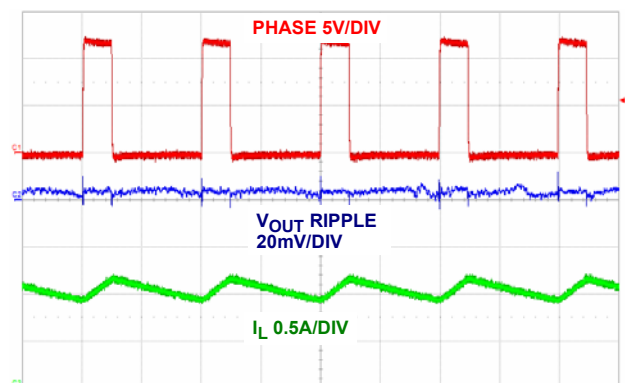


図 13. フル負荷時の定常状態動作 ($1\ \mu\text{s}/\text{DIV}$)

性能特性 特記のない限り動作条件は次のとおりです。 $T_A = +25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $EN = \text{VDD}$ 、 $L = 22\ \mu\text{H}$ 、 $C_9 = 10\ \mu\text{F}$ 、 $C_{11} = 47\ \mu\text{F}$ 、 $I_{OUT} = 0\text{A} \sim 1\text{A}$ 。4 ページの「VIN」を参照してください。(続き)

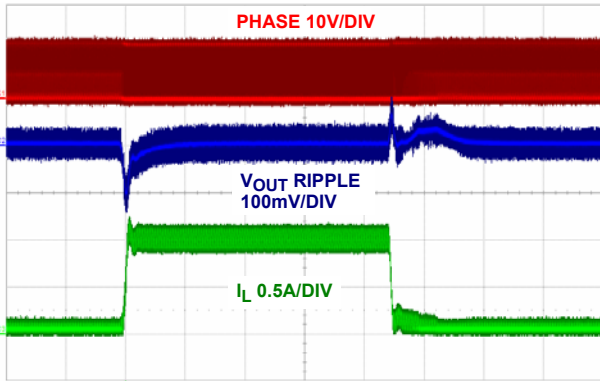


図 14. 負荷過渡特性 (200 $\mu\text{s}/\text{DIV}$)

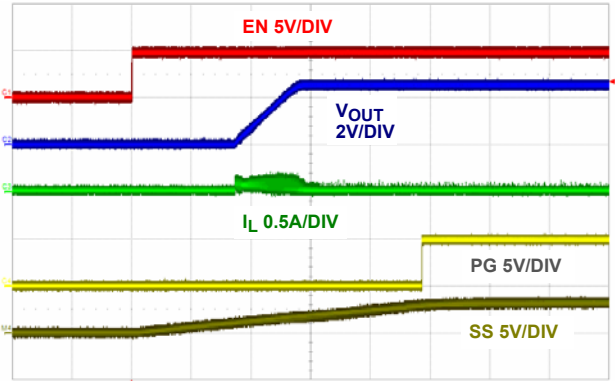


図 15. 無負荷時のソフトスタート (2ms/DIV)

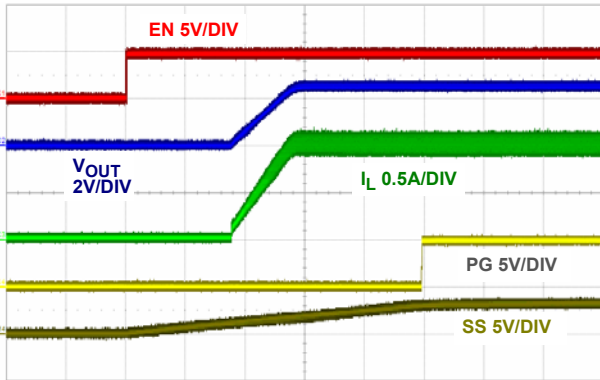


図 16. フル負荷時のソフトスタート (2ms/DIV)

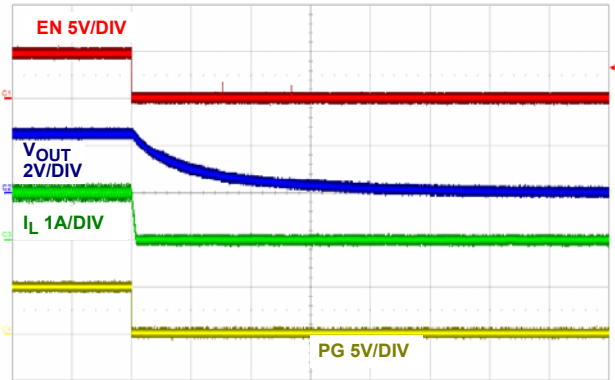


図 17. シャットダウン回路 (100 $\mu\text{s}/\text{DIV}$)

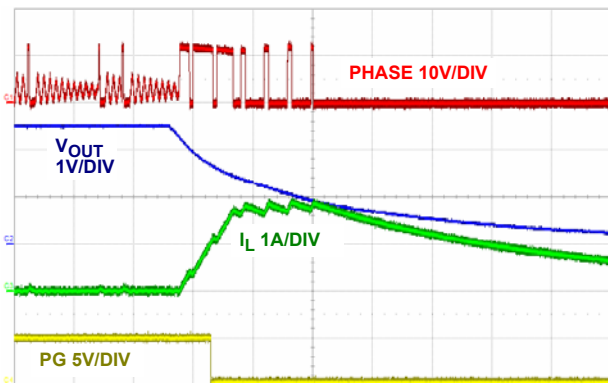


図 18. 出力短絡 (5 $\mu\text{s}/\text{DIV}$)

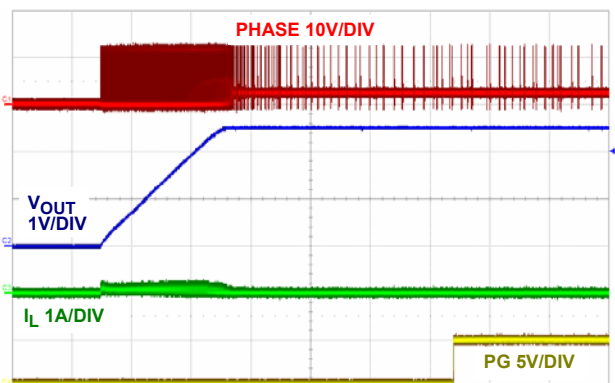


図 19. 出力短絡からの回復 (1ms/DIV)

詳細説明

ISL85001 は、非同期降圧 PWM コントローラと内蔵スイッチング MOSFET を組み合わせたものです。降圧コントローラは内蔵 N チャネル MOSFET を駆動し、外付けダイオードを利用して最大 1A の負荷電流を供給します。効率と性能の向上のため、標準的なダイオードよりもショットキー・ダイオードを推奨します。この非同期降圧レギュレータは、レギュレートされていない +5.5V ~ +25V の DC ソース (バッテリ など)、またはレギュレートされた +5V のシステム・レールで動作します。+5.5V 以上の電源で動作させる場合、コントローラは +5V の内蔵 LDO 電圧レギュレータからバイアスされます。コンバータの出力は、いずれの入力源からでも最小で 0.6V にレギュレートされます。このような特長を備えた ISL85001 は、FPGA やワイヤレス・チップセット電源アプリケーションに最適です。

PWM 制御ループでは、入力電圧フィードフォワードに対応した単一の出力電圧ループを利用して、帰還ループ補償の簡素化と入力電圧変動の除去を行います。外部帰還ループ補償を採用しているため、出力フィルタ部品を柔軟に選択できます。このレギュレータは、500kHz の固定周波数でスイッチングを行います。

この降圧レギュレータは、無損失の電流リミット機能を備えています。降圧レギュレータの電流リミットは、内蔵スイッチング・パワー MOSFET におけるドレイン～ソース間の電圧低下をモニタリングして行われます。電流リミットのスレッシュホールドは、内部で 1.7A に設定されています。アンダーボルテージ保護機能も備えており、出力電圧がレギュレート出力の 70% を下回る過電流時には、スイッチング MOSFET ドライバをオフ状態にラッチします。この機能によって、短絡時の消費電力を最小限に抑えられます。スイッチング・パワー MOSFET のみ内蔵なので、過電圧保護機能は搭載されていません。

+5V バイアス電源 (VDD) 内蔵

GND 基準で VIN ピンに印加される電圧は、内蔵の LDO レギュレータによって +5V DC にレギュレートされます。LDO の出力である VDD は、すべての内蔵制御 / 保護回路によって使用されるバイアス電圧です。VDD ピンと GND の間にはセラミック・コンデンサを接続する必要があります。このコンデンサは、LDO の安定化と、負荷過渡のデカップリングという役割を果たします。

ISL85001 の入力電圧範囲は、+5.5V ~ +25V、または +5V ± 10% です。レギュレートされていない電源の場合は、電源を VIN にのみ接続してください。イネーブルにすると、リニアレギュレータがオンになり、VDD の電圧が +5V まで上昇します。+5V 電源の場合は、VDD ピンと VIN ピンを互いに接続して、LDO をバイパスしてください。このモードでも、外付けデカップリング・コンデンサが必要です。

動作の初期化

パワーオン・リセット回路とイネーブル入力によって、PWM レギュレータ出力の誤ったスタートアップを防止できます。すべての入力条件が満たされてから、コントローラがソフトスタートを実行し、出力電圧を設定レベルまで高めます。

パワーオン・リセットとアンダーボルテージ・ロックアウト

ISL85001 の PWM 部分は、入力電力を受け取ると自動的に初期化を行います。このパワーオン・リセット (POR) 機能では、VDD 電圧が継続的にモニタリングされます。POR スレッシュホールドを下回ると、コントローラは内蔵パワー MOSFET のスイッチングを抑制します。スレッシュホールドを上回ると、内蔵ソフトスタート回路を初期化します。ソフトスタート中や動作中にいずれかの入力電源が立ち下がり POR スレッシュホールドより低下した場合は、降圧レギュレータがラッチオフします。

イネーブルとディスエーブル

内蔵パワーデバイスはすべてハイ・インピーダンス状態で維持されるので、シャットダウン・モード中はオフのままになります。通常は、レギュレータへの入力電源がアクティブになり、内蔵 LDO がその POR スレッシュホールドを超えると、該当する出力へのイネーブル入力が High に切り替わります。

EN ピンは、ISL85001 の降圧コントローラ部分をイネーブルにします。EN ピンの電圧が POR の立ち上がりスレッシュホールドを超えると、コントローラは PWM レギュレータのソフトスタート機能を初期化します。EN ピンの電圧が POR の立ち下がりスレッシュホールドより低下した場合は、降圧レギュレータがシャットダウンされます。

EN ピンを Low にすると、同時に出力がシャットダウン・モードになり、消費電流が 100 μA (代表値) に低下します。

ソフトスタート

入力電源ラッチとイネーブル・スレッシュホールドの条件が満たされると、ソフトスタート機能が初期化されます。ソフトスタート回路は、内蔵電流源から 30 μA の電流を受け入れて、外付けソフトスタート・コンデンサの充電を開始します。SS の電圧はグラウンドから、ソフトスタート・コンデンサの両端電圧が 3.0V に達するまでリニアに上昇します。このリニアな上昇電圧は、内蔵エラーアンプの非反転入力に印加され、0.6V の公称基準電圧の代わりに使用されます。ソフトスタート・コンデンサ電圧が 1.6V に達した時点で、出力電圧がレギュレーション値に到達します。SS ピンとグラウンドの間にコンデンサを接続してください。このコンデンサと内蔵の 30 μA 電流源によって、コンバータのソフトスタート期間 t_{SS} が設定されます。

$$C_{SS}[\mu F] = 50 \cdot t_{SS}[s] \quad (\text{式 1})$$

ディスエーブルにすると、SS ピンの電圧が 0V まで放電されます。

パワーグッド

パワーグッド (PG) は、降圧レギュレータの出力電圧を継続的にモニタリングするウィンドウ・コンパレータのオープン・ドレイン出力です。EN が Low のときや、降圧レギュレータのソフトスタート期間中は、PG が Low に維持されます。ソフトスタート期間が終了すると PG はハイ・インピーダンスになり、出力電圧が FB で設定された公称レギュレーション電圧の ± 12% 以内にある間はその状態が維持されます。VOUT が公称レギュレーション電圧の ± 12% の範囲を下回るか上回った時点で、PG が Low になります。フォルト状態発生時には、ソフトスタートの試行によってフォルト状態がクリア

されるまで、PG が強制的に Low に維持されます。ロジック・レベル出力電圧に対しては、PG と VDD の間に外付けプルアップ抵抗を接続してください。ほとんどのアプリケーションには 100kΩ 抵抗が適しています。

出力電圧の選択

レギュレータの出力電圧は、内部基準電圧に基づいて電圧帰還を調整する外付け抵抗分圧回路によってプログラム可能です。調整された電圧は、エラーアンプの反転入力に印加されます (図 20 を参照)。

出力電圧プログラム抵抗 R_4 は、帰還抵抗 R_1 に対して選択した値と、レギュレータに必要な出力電圧 V_{OUT} に依存します (式 2 を参照)。帰還抵抗の値は通常、1kΩ ~ 10kΩ です。

$$R_4 = \frac{R_1 \times 0.6V}{V_{OUT} - 0.6V} \quad (\text{式 2})$$

必要な出力電圧が 0.6V の場合、 R_p には値を代入しません。

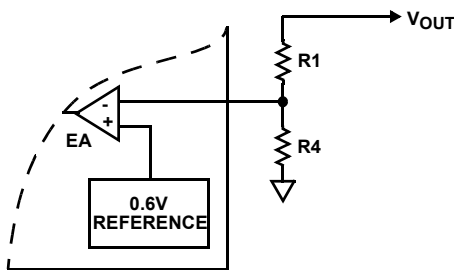


図 20. 外付け抵抗分圧回路

降圧出力は、最大 19V までプログラム可能です。ジャンクション温度が +125 °C を超えないようにするため、適切なヒートシンクが必要です。

出力を 2.7V より高く設定する場合は、10mA 以上の電流をプリロードして、入力立ち上がり時間を V_{OUT1} の立ち上がり時間より大幅に短くすることを推奨します。これで、適切な動作に十分な充電時間を BOOT コンデンサに与えられます。

保護機能

ISL85001 では、パワーデバイスの電流を制限することによりチップ上の消費電力を制限します。また、過電流リミットによって、過熱が原因の破損から内蔵パワーデバイスを保護します。アンダーボルテージ保護回路は、大電流状態で内蔵パワーデバイスを保護するための二次層として機能します。

降圧レギュレータの過電流保護

PWM のオン時間中は、内蔵スイッチング MOSFET を流れる電流が内蔵パイロット・デバイスを通じてサンプリングし調整されます。サンプリングされた電流は、1.7A の公称過電流リミットと比較されます。サンプリングされた電流が過電流リミットの基準レベルを超えている場合は、内蔵過電流フォルト・カウンタが 1 に設定され、内蔵フラグがセットされます。内蔵パワー MOSFET は即座にオフになり、次のスイッチング・サイクルまでオンになりません。

保護回路は電流のモニタリングを続行し、上記のように内蔵 MOSFET をオフにします。過電流状態が 8 クロックサイクル連続すると、過電流フォルト・カウンタがオーバーフローして、過電流フォルト状態の発生を通知します。その場合、レギュレータはシャットダウンされ、パワーグッドが Low に

なります。カウンタが連続 4 サイクルに達する前に過電流状態がクリアされれば、内蔵のフラグとカウンタはリセットされます。

保護回路は、4 ソフトスタート・サイクル待機した後で、過電流状態からの回復を試みます。内蔵の過電流フラグとカウンタはリセットされます。通常のソフトスタート・サイクルが試行され、フォルト状態がクリアされていれば、通常動作が続行されます。ソフトスタート中に過電流フォルト・カウンタがオーバーフローした場合は、コンバータがシャットダウンされ、このヒックアップモード動作が繰り返されます。

ノイズ対策として 100ns のブランキング時間が確保されています。適切な過電流保護を実現するため、ブランキング時間を上回るデューティサイクルで動作させることを推奨します。

アンダーボルテージ保護

降圧レギュレータの FB ピンで検出された電圧が内部基準電圧を 25% 下回っていると、アンダーボルテージ・フォルト状態フラグがセットされます。その場合、レギュレータはシャットダウンされます。コンローラは、過電流ヒックアップモードと同様の回復モードに移行します。4 ソフトスタート・サイクルの間は何も実行されず、内蔵のアンダーボルテージ・カウンタとフォルト状態フラグはリセットされます。通常のソフトスタート・サイクルが試行され、フォルト状態がクリアされていれば、通常動作が続行されます。ソフトスタート中にアンダーボルテージ・カウンタがオーバーフローした場合は、コンバータがシャットダウンされ、このヒックアップモード動作が繰り返されます。

熱過負荷保護

熱過負荷保護機能は、ISL85001 の総消費電力を制限します。内蔵 LDO と PWM スイッチング・パワー N チャネル MOSFET のジャンクション温度がチップ上のセンサによってモニタリングされます。センサのジャンクション温度 (T_J) が +150 °C を超えると、熱センサが信号をフォルト・モニタに送信します。

信号を受け取ったフォルト・モニタは、降圧レギュレータにシャットダウンを命令します。IC のジャンクション温度が +20 °C まで低下すると、降圧レギュレータはソフトスタートでターンオンします。熱過負荷状態が継続している間は、ヒックアップモードで動作します。連続動作をさせる場合、+125 °C のジャンクション温度定格を超えないようにしてください。

アプリケーション・ガイドライン

動作周波数

ISL85001 は、500kHz の固定スイッチング周波数で動作します。

降圧レギュレータの出力コンデンサの選択

インダクタ電流のフィルタリングと負荷過渡電流の供給には出力コンデンサが必要です。フィルタリング要件は、スイッチング周波数とリップル電流との関係によって決まります。負荷過渡要件は、スルーレート (di/dt) と負荷過渡電流の規模との関係によって決まります。これらの要件には通常、複数のコンデンサを組み合わせ、慎重にレイアウトを行い対応します。

組み込みプロセッサ・システムは、1A/ns を超える過渡負荷レートを生成できます。高周波コンデンサは最初、過渡電流を供給し、バルク・コンデンサで見られる電流負荷レートを低下させます。バルクフィルタ・コンデンサの容量は通常、実際のコンデンサ容量要件ではなく、ESR (等価直列抵抗) と電圧定格の要件によって決まります。

高周波デカップリング・コンデンサを負荷のパワーピンのできる限り近い場所に配置する必要があります。低インダクタンス部品の効果を損なうようなインダクタンスを回路基板の配線に追加しないでください。具体的なデカップリング要件については、各負荷メーカーにお問い合わせください。

バルク・コンデンサには、スイッチング・レギュレータ・アプリケーション専用の低 ESR コンデンサのみ使用してください。バルク・コンデンサの ESR によって、出力リップル電圧と、高スルーレートの過渡後の初期電圧低下が決まります。アルミ電解コンデンサの ESR 値はケースサイズに関連しており、ケースサイズが大きくなるほど ESR が小さくなります。ただし、コンデンサの ESL (等価直列インダクタンス) はケースサイズとともに増加し、高スルーレートの過渡負荷に対するコンデンサの効果を減じる可能性があります。ESL はパラメータとして指定されていません。コンデンサ・サプライヤに問い合わせた上で、コンデンサのインピーダンスと周波数を測定し、適切な部品を選択してください。ほとんどの場合、複数の小型ケースサイズの電解コンデンサを使用する方が、単一の大型ケースサイズのコンデンサを使用するよりも高い性能を得られます。

出力インダクタの選択

出力電圧リップル要件を満たし、コンバータの負荷過渡応答時間を最小限に抑えられる出力インダクタを選択します。インダクタの値によってコンバータのリップル電流が決まり、リップル電流との関係によってリップル電圧が決まります。リップル電圧と電流は式 3 によって概算できます。

$$\Delta I = \frac{V_{IN} - V_{OUT}}{f_s \times L} \times \frac{V_{OUT}}{V_{IN}} \quad \Delta V_{OUT} = \Delta I \times ESR \quad (式 3)$$

インダクタンス値を増すと、リップル電流と電圧が減少します。ただし、インダクタンス値が大きくなると、コンバータの負荷過渡応答時間が短縮されます。

コンバータの負荷過渡応答を制限するパラメータの 1 つが、インダクタ電流の変更に要する時間です。十分に高速な制御ループを設計すれば、ISL85001 は負荷過渡応答で 0% または 80% のデューティサイクルを提供します。この応答時間は、インダクタ電流を初期電流値から過渡電流レベルに変更するのに必要な時間です。この期間中、インダクタ電流と過渡電流レベルの差を出力コンデンサによって確保しなければなりません。応答時間を最小限に抑えれば、必要な出力コンデンサ容量も最小限に抑えられます。

過渡応答時間は、負荷の適用や削除に応じて変わります。過渡負荷の適用や削除に対する概算応答時間は、式 4 で求められます。

$$t_{RISE} = \frac{L \times I_{TRAN}}{V_{IN} - V_{OUT}} \quad t_{FALL} = \frac{L \times I_{TRAN}}{V_{OUT}} \quad (式 4)$$

I_{TRAN} は負荷過渡電流ステップ、 t_{RISE} は負荷の適用に対する応答時間、 t_{FALL} は負荷の削除に対する応答時間を示しま

す。ワーストケースの応答時間は、負荷の適用時または削除時のいずれかになる可能性があります。ワーストケースの応答時間については、式 4 で最小出力レベルと最大出力レベルを確認してください。

整流器の選択

ハイサイド・スイッチがオフになると、グラウンドから MOSFET とインダクタとのジャンクションに電流が流れません。その結果、スイッチング・ノード極性がグラウンドに対して負になります。オフ時間におけるこの電圧はおおよそ -0.5V です (ショットキー・ダイオードの低下)。整流器の定格逆ブレイクダウン電圧は、少なくとも最大入力電圧と同じでなければなりません (20% のディレーティング係数を設定することを推奨)。消費電力は式 5 で求められます。

$$P_D [W] = I_{OUT} \cdot V_D \cdot \left(1 - \frac{V_{OUT}}{V_{IN}} \right) \quad (式 5)$$

V_D はショットキー・ダイオードの電圧を示し、0.5V ~ 0.7V です。

入力コンデンサの選択

複数の入力バイパス・コンデンサを組み合わせ、MOSFET の電圧オーバーシュートを制御します。高周波デカップリング用に少容量セラミック・コンデンサを使用し、スイッチング MOSFET のターンオンごとに必要な電流を供給するのにバルク・コンデンサを使用します。少容量セラミック・コンデンサは、MOSFET の V_{IN} ピン (スwitching MOSFET のドレイン) とショットキー・ダイオードのアノードに近い場所に配置してください。

バルク入力コンデンサで重要なパラメータは、電圧定格と RMS 電流定格です。動作の信頼性を確保するため、電圧定格と電流定格がそれぞれ回路に必要な最大入力電圧と最大 RMS 電流を上回っているバルク・コンデンサを選択してください。電圧定格は最大入力電圧の少なくとも 1.25 倍必要であり、一般的な目安は 1.5 倍です。ほとんどの場合、降圧レギュレータの入力コンデンサに必要な RMS 電流定格は、DC 負荷電流の約 1/2 です。

レギュレータに必要な最大 RMS 電流は、式 6 によって概算できます。

$$I_{RMS MAX} = \sqrt{\frac{V_{OUT}}{V_{IN}} \times \left(I_{OUT MAX}^2 + \frac{1}{12} \times \left(\frac{V_{IN} - V_{OUT}}{L \times f_s} \times \frac{V_{OUT}}{V_{IN}} \right)^2 \right)} \quad (式 6)$$

スルーホール設計では、複数の電解コンデンサが必要な場合もあります。表面実装設計では固形タンタル・コンデンサを使用できますが、コンデンサのサージ電流定格に関して注意を払わなければなりません。これらのコンデンサは、パワーアップ時のサージ電流を処理できる必要があります。信頼性の高いメーカーからは、サージ電流についてテスト済みのコンデンサ・シリーズも提供されています。

帰還補償

図 21 に、同期整流降圧コンバータの電圧モード制御ループを示します。出力電圧 (V_{OUT}) は基準電圧レベルまでレギュレートされます。エラーアンプ出力 ($V_{E/A}$) は発振器 (OSC) の三角波と比較され、PHASE ノードでは V_{IN} の振幅をパルス幅変調 (PWM) 波に適用します。PWM 波は出力フィルタ (L_O と C_O) によって平滑化されます。

モジュレータの伝達関数は、 $V_{OUT}/V_{E/A}$ の小信号伝達関数です。 F_{LC} をダブル・ポール極点/零点周波数、 F_{ESR} をゼロとするこの関数は、DC ゲインと出力フィルタ (L_O と C_O) によって左右されます。モジュレータの DC ゲインは、入力電圧 (V_{IN}) をピークツーピーク発振器電圧 ΔV_{OSC} で割ったものです。

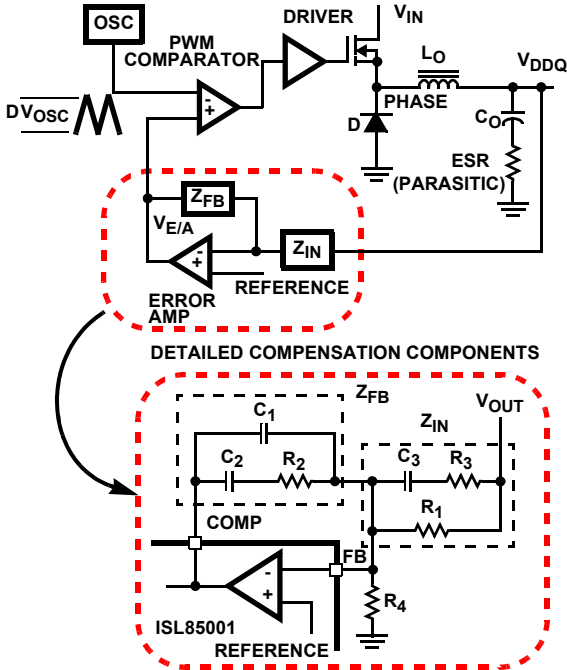


図 21. 電圧モード降圧コンバータの補償設計と出力電圧の選択

モジュレータの極点 / 零点周波数を求める式

$$F_{LC} = \frac{1}{2\pi \times \sqrt{L_O} \times C_O} \quad F_{ESR} = \frac{1}{2\pi \times ESR \times C_O} \quad (式 7)$$

補償ネットワークは、エラーアンプ (ISL85001 に内蔵) とインピーダンス・ネットワーク (Z_{IN} と Z_{FB}) で構成されています。補償ネットワークの目的は、最高 0dB の交差周波数 (f_{0dB}) と十分な位相マージンを開ループ伝達関数に提供することです。位相マージンとは、 f_{0dB} と 180° における開ループ位相の差です。式 8 は、補償ネットワークのポール、ゼロ、ゲインと図 22 の部品 (R_1 、 R_2 、 R_3 、 C_1 、 C_2 、 C_3) の関係を示しています。以下のガイドラインに従って、補償ネットワークのポールとゼロを設定してください。

1. 必要なコンバータ帯域幅のゲイン (R_2/R_1) を選択
2. 最初のゼロをフィルタのダブル・ポールより下に配置 (F_{LC} のおよそ 75%)
3. 2 番目のゼロをフィルタのダブル・ポールに配置
4. 最初のポールを ESR ゼロに配置
5. 2 番目のポールをスイッチング周波数の半分に配置
6. ゲインをエラーアンプの開ループ・ゲインと比較確認
7. 位相マージンを推定。必要に応じて繰り返し実行

補償の極点 / 零点周波数を求める式

$$F_{Z1} = \frac{1}{2\pi \times R_2 \times C_2} \quad F_{P1} = \frac{1}{2\pi \times R_2 \times \left(\frac{C_1 \times C_2}{C_1 + C_2} \right)} \quad (式 8)$$

$$F_{Z2} = \frac{1}{2\pi \times (R_1 + R_3) \times C_3} \quad F_{P2} = \frac{1}{2\pi \times R_3 \times C_3}$$

図 22 は、DC/DC コンバータのゲインと周波数の関係を示した漸近線グラフです。実際のモジュレータ・ゲインは、出力フィルタの高い Q ファクタが原因でゲイン・ピークが高く、図 22 に示されていません。前述のガイドラインに従うと、グラフと同様の補償ゲインを得られます。開ループ・エラーアンプ・ゲインが補償ゲインの境界になります。 F_{P2} の補償ゲインをエラーアンプの能力と比較確認してください。閉ループ・ゲインは、図 4 のグラフに示されているように、モジュレータ・ゲイン (dB 単位) を補償ゲイン (dB 単位) に追加したものです。これは、モジュレータの伝達関数を補償の伝達関数に掛け合わせて、ゲインをプロットしたものに相当します。

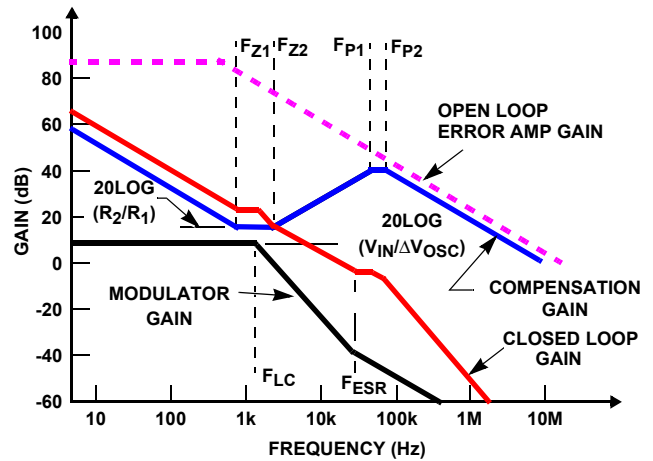


図 22. コンバータ・ゲインの漸近線ボード線図

補償ゲインは外付けインピーダンス・ネットワーク (Z_{FB} と Z_{IN}) を利用して、安定した広帯域 (BW) 全体ループを提供します。安定した制御ループでは、ゲインが $-20dB/$ デイケードのスロープと交差し、位相マージンが 45° を上回ります。位相マージンを決定する際は、ワーストケースの部品変動を考慮に入れてください。

降圧レギュレータの電圧モード制御の詳細については、テクニカル・ブリーフ [TB417](#) 「Designing Stable Compensation Networks for Single Phase Voltage Mode Buck Regulators」を参照してください。

レイアウトに関する考慮事項

高周波スイッチング・コンバータの設計ではレイアウトがきわめて重要です。パワーデバイスが 100kHz と 600kHz の間で効率的にスイッチングを行う場合、パワーデバイス間の電流遷移により、インターコネクト・インピーダンスと寄生回路素子で電圧スパイクが発生します。こうした電圧スパイクは、効率の低下、回路へのノイズ放出、パワーデバイスの過電圧ストレスにつながる場合があります。部品のレイアウトとプリント基板の設計を慎重に行えば、電圧スパイクを最小限に抑えられます。

例として、ハイサイド MOSFET のターンオフ遷移について検討してみます。ターンオフ前の MOSFET には、負荷電流がフルに流れています。ターンオフになると、電流は MOSFET を流れるのを止め、ショットキー・ダイオードにピックアップされます。切り替えられた電流パスに寄生インダクタンスがある場合は、スイッチング期間中に大規模な電圧スパイクが発生します。慎重な部品選択、重要な部品の正確なレイアウト、短くて広いトレースの採用によって、電圧スパイクの規模を最小限に抑えられます。

ISL85001 スwitching・コンバータには、2組の重要な部品があります。最も重要なのは、大量のエネルギーのスイッチングを行うことで大量のノイズを生じる傾向があるスイッチング部品です。次に重要なのは、高感度のノードに接続したり、必要なバイパス電流や信号カップリングを供給する小信号部品です。

多層式のプリント基板を推奨します。図 23 は、コンバータにおける重要な部品の接続を示しています。コンデンサ C_{IN} と C_{OUT} は、それぞれ複数の物理コンデンサで構成される場合もあります。1つの固体層（通常はプリント基板の中間層）をグラウンド層として割り当て、すべての重要部品をビア経由でこの層にグラウンド接続してください。また、別の固体層を電源層として割り当て、この層をそれぞれ共通の電圧レベルを持つ小さなアイランドに分割してください。PHASE 端子から出力インダクタまでの金属配線は短絡させておきます。電源層は、入力電力ノードと出力電力ノードをサポートする必要があります。フェーズ・ノードには、最上部と最下部の回路層にある銅充填ポリゴンを使用してください。小信号配線には、残りのプリント回路層を使用してください。

内蔵の LDO や MOSFET から生じた熱を放散させる目的で、ピン 13 のグラウンド・パッドは、少なくとも 4 つのビアを介して内部グラウンド層に接続する必要があります。このようにすると、IC から熱を逃せるほか、パッドを低インピーダンス・パス経路でグラウンド層に接続できます。

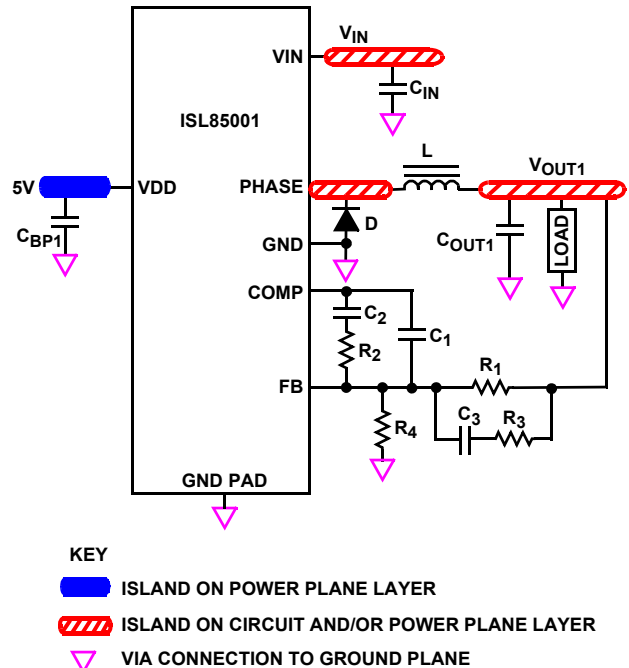


図 23. プリント基板の電源層とアイランド

まず、スイッチング部品を ISL85001 の近くに配置する必要があります。入力コンデンサ C_{IN} とパワースイッチを互いに近付けて、両者間の接続の長さを最小限に抑えてください。セラミック入力コンデンサとバルク入力コンデンサは、ハイサイド MOSFET ドレインのできる限り近くに配置します。出力インダクタと出力コンデンサは、ハイサイド・ショットキー・ダイオードと負荷の間に配置します。

重要な小信号部品には、バイパス・コンデンサ、帰還部品、補償部品がすべて含まれます。PWM コンバータの補償部品は、FB ピンと COMP ピンの近くに配置してください。帰還抵抗は、FB ピンのできる限り近くに配置し、必要であればビアでグラウンド層に直接接続します。

改訂履歴

この改訂履歴は参考情報として掲載するものであり、正確を期すように努めていますが、内容を保証するものではありません。最新のデータシートについてはインターシルのウェブサイトをご覧ください。

日付	レビジョン	変更点
2012/5/16	FN6769.2	新しいデータシート・テンプレートに変更 1 ページに「関連文書」を追加 5 ページの「注文情報」に MSL に関する備考を追加 5 ページの「注文情報」で、テープ&リールに関する備考を新基準の「テープ&リールは製品型番の末尾に「-T*」を付加してください。」に更新。「*」はすべてのテープ&リール・オプションに適用されます。 6 ページの「絶対最大定格」から Note 4 の不正確な参照を削除 16 ページに「改訂履歴」と「製品」を追加 17 ページの「パッケージ寸法図」を更新。ランドパターンを追加。表を削除し、寸法を図に追加
2009/3/17	FN6769.1	6 ページの「VIN Operating Supply Current」で、「Note 5」を「Note 6」に変更
2008/11/17	FN6769.0	初版

製品

インターシルは、高性能アナログ、ミクストシグナルおよびパワーマネジメント半導体の設計、製造で世界をリードする企業です。インターシルの製品は、通信、コンピューティング、コンシューマ、産業用機器の分野で特に急速な成長を遂げている市場向けに開発されています。製品ファミリの詳細は、www.intersil.com/product_tree/ をご覧ください。

ISL85001 に関するアプリケーション情報、関連ドキュメント、関連部品は、www.intersil.com 内の [ISL85001](#) のページを参照してください。

本データシートに関するご意見は www.intersil.com/askourstaff へお寄せください。

信頼性に関するデータは rel.intersil.com/reports/search.php を参照してください。

そのほかの製品については www.intersil.com/product_tree/ を参照してください。

インターシルは、www.intersil.com/design/quality/ に記載の品質保証のとおり、ISO9000 品質システムに基づいて、製品の製造、組み立て、試験を行っています。

インターシルは、製品を販売するにあたって、製品情報のみを提供します。インターシルは、いかなる時点においても、予告なしに、回路設計、ソフトウェア、仕様を変更する権利を有します。製品を購入されるお客様は、必ず、データシートが最新であることをご確認ください。インターシルは正確かつ信頼に足る情報を提供できるよう努めていますが、その使用に関して、インターシルおよび関連子会社は責を負いません。また、その使用に関して、第三者が所有する特許または他の知的所有権の非侵害を保証するものではありません。インターシルおよび関連子会社が所有する特許の使用権を暗黙的または他の方法によって与えるものではありません。

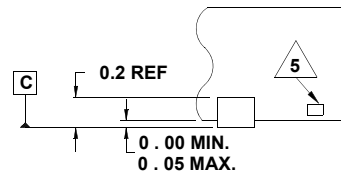
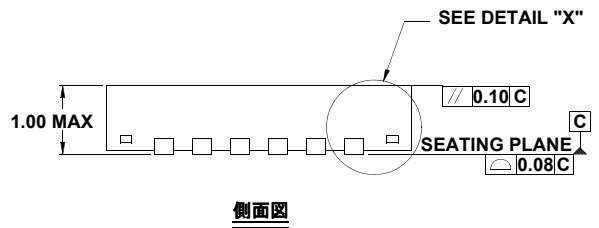
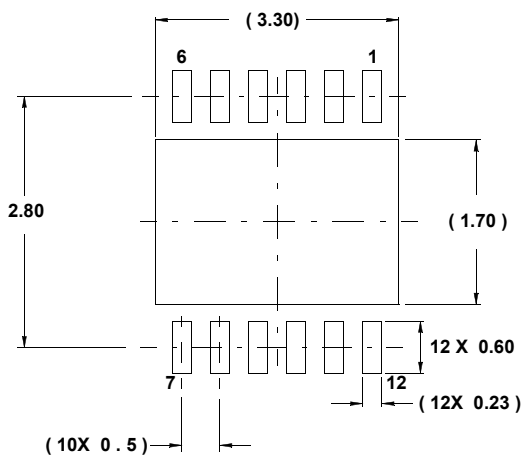
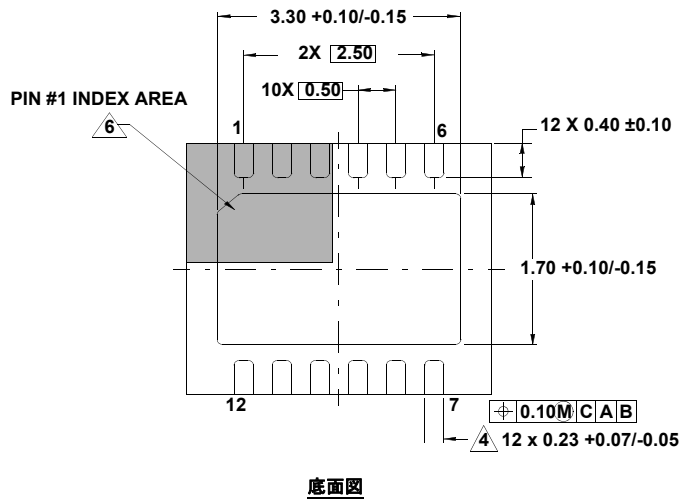
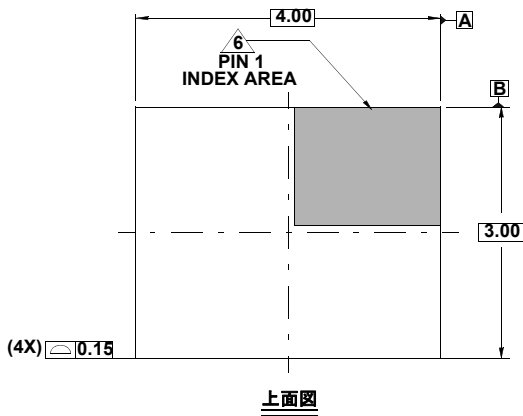
インターシルの会社概要については www.intersil.com をご覧ください。

パッケージ寸法図

L12.4x3

12 LEAD DUAL FLAT NO-LEAD PLASTIC PACKAGE

Rev 2, 7/10



NOTES:

1. 寸法の単位は mm です。
() 内の寸法は参考値です。
2. 寸法と公差は ASME Y14.5m-1994 に従っています。
3. 特記のない限り、公差は DECIMAL ± 0.05 です。
4. 寸法 b は金属端子に適用され、端子先端から 0.15mm ~ 0.30mm のポイントで計測した値です。
5. タイバー (示されている場合) は非機能性です。
6. 1 ピンの識別子はオプションですが、表示されているゾーン内に配置されます。1 ピンの識別子はモールドまたはマーキングで示されます。
7. JEDEC MO-229 V4030D-4 issue E に準拠しています。